



  
**PATENT**

Docket No. JCLA11902

page 1

**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of : CHIEN-HUNG CHEN et al.  
Application No. : 10/728,137  
Filed : December 03,2003

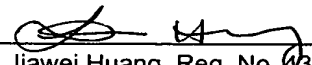
**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

May 10, 2004

(Date)

For **METHOD FOR PROGRAMMING P-  
CHANNEL EEPROM**

  
Jiawei Huang, Reg. No. 43,330

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92133507** filed on **November 28, 2003**.

A return prepaid postcard is also included herewith.

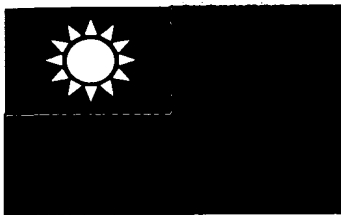
It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA11902).

Date: 5/10/2004

By:   
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
Tel: (949) 660-0761



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 28 日  
Application Date

申請案號：092133507  
Application No.

申請人：聯華電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 3 月 16 日  
Issue Date

發文字號：09320252510  
Serial No.

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

P 通道可電除可程式唯讀記憶體的程式化方法

PROGRAMMING METHOD OF P-CHANNEL EEPROM

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聯華電子股份有限公司/United Microelectronics Corp.

代表人：(中文/英文) 曹興誠/ TSAO, ROBERT H.C.

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行二路三號/No. 3, Li-Hsin Rd. II, Science-Based  
Industrial Park, Hsinchu, Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國/TW

參、發明人：(共 2 人)

姓 名：(中文/英文)

1.陳建宏/ CHEN, CHIEN HUNG

2.黃水欽/ HUANG, SHUI CHIN

住居所地址：(中文/英文)

1.台北縣三重市三和路三段 144 巷 7 號 3 樓/3F., No.7, Lane 144, Sec. 3, Sanhe  
Rd., Sanchong City, Taipei County 241, Taiwan R.O.C.

2.台南市本原街三段 215 號/No.215, Section 3, Ben-Yuan  
St.Tainan,Taiwan,R.O.C

國 籍：(中文/英文) 中華民國/TW

#### 肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

### 伍、中文發明摘要：

一種 P 通道可電除可程式唯讀記憶體(EEPROM)的程式化方法，其係將該 EEPROM 的 N 井接地，在控制閘上施加第一正電壓，在 P 型源極區上施加第二正電壓或一程式化電流，並於 P 型汲極區上施加一負電壓。

### 陸、英文發明摘要：

A method for programming a P-channel EEPROM is described, wherein the N-well of the EEPROM is grounded, the control gate is applied with a first positive voltage, the P-type source region is applied with a second positive voltage or a controlled current, and the P-type drain region is applied with a negative voltage.

### 柒、指定代表圖：

(一)本案指定代表圖為：第 ( 2 ) 圖。

(二)本代表圖之元件代表符號簡單說明：

100：N 井

110：浮置閘

120：控制閘

130：選擇閘

140：P 型源極區

150：P 型汲極區

160：P型摻雜區

$V_{cg}$ 、 $V_{sg}$ 、 $V_d$ ：電壓代號

$I_s$ ：源極電流

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 玖、發明說明：

### 發明所屬之技術領域

本發明係有關一種半導體元件的操作方法，且特別是有關一種 P 通道可電除可程式唯讀記憶體(EEPROM)的程式化方法。

### 先前技術

由於可電除可程式唯讀記憶體(EEPROM)具有可在無電源供應時保存資料、存取速度快、質輕容量大、存取裝置體積小等優點，故已漸漸成為攜帶式記憶媒體的主流產品之一。早期的 EEPROM 係由 N 型電晶體所構成，並以通道熱電子注入法(Channel Hot Electron Injection, CHEI)進行程式化。不過，由於通道熱電子注入法的電子注入效率很低，所以近來有多人提出 P 通道 EEPROM 的結構，其係以頻帶間穿隧熱電子注入法(Band-To-Band Tunneling Hot Electron Injection, BTBTHEI)進行程式化，其優點為電子注入效率約可比通道熱電子注入法高出兩個數量級，而得以加快程式化的速度。

請參照第 1 圖，其係繪示以習知 BTBTHEI 方法程式化 P 通道 EEPROM 的情形，此 P 通道 EEPROM 包含 N 井 100、浮置閘 110、控制閘 120、選擇閘 130、P 型源極區 140、P 型汲極區 150，以及與位元線耦接的 P 型摻雜區 160。此程式化操作係在位元線/P 型摻雜區 160 上施加負電壓  $V_d$ ，並在選擇閘 130 上施加負電壓  $V_{sg}$  以打開其下的通道，使得負電壓傳到汲極區 150 上；同時在控制閘 120 施加高正電壓  $V_{cg}$ ，以在浮置閘 110 下靠近汲極區 150 處引發頻帶間穿隧熱電子效應，

並將熱電子吸引到浮置閘 110 中。另外，此習知方法中源極區 140 係為浮置狀態。

然而，不論是以 CHEI 程式化的 N 通道 EEPROM 還是以 BTBTHEI 程式化的 P 通道 EEPROM，其皆有操作電壓不易降低的問題。請參照第 3 圖，其係繪示在不同的位元線電壓  $V_d$  下以習知 BTBTHEI 方法程式化 P 通道 EEPROM 時，記憶胞之啓始電壓隨程式化時間的變化，其中控制閘電壓  $V_{cg}$  固定為 7V。如第 3 圖所示，為產生足量的頻帶間穿隧熱電子，以在要求的時間內完成程式化操作，位元線的負電壓  $V_d$  必須高達 -7V，而不能降低至 -5V 或 -3V。因此，為免產生擊穿漏電(punch-through leakage)，選擇閘 130 之通道長度的縮減空間甚為有限。

再者，為增加熱電子的數量及熱電子注入的比例，以加速程式化之進行，選擇閘 130 之負電壓  $V_{sg}$  常須高達 -8V~-9V，且控制閘 120 之正電壓  $V_{cg}$  常須高達 8V~9V，因此其耗電量較高。

### 發明內容

為解決上述問題，本發明提出一種 P 通道 EEPROM 的程式化方法，其係利用源極區、汲極區與 N 井所構成之寄生雙載子電晶體(parasitic BJT)的彈回(snapback)特性產生大量的熱電子，以提高 BTBTHEI 的效率。

本發明之 P 通道 EEPROM 的程式化方法並不使源極區浮置，而是在其上施加一正電壓或一程式化電流，其所造成之順向偏壓足以開啓由源極區、汲極區與 N 井所構成之寄生雙

載子電晶體。另外，此方法亦將 N 井接地，在控制閘上施加正電壓，並於汲極區上施加一負電壓，此負電壓所造成的逆向偏壓足以導致源極區與汲極區間產生一電子流，以注入浮置閘中。

由於本發明係利用 EEPROM 之寄生雙載子電晶體的彈回特性，所以能產生大量的熱電子。因此，位元線、選擇閘與控制閘所需之電壓皆可降低，而得以減少耗電量。另外，由於位元線之電壓降低，故選擇閘下的通道長度得以縮減，而可增加讀取電流的大小，並有利於此種雙電晶體(2T)元件的縮小化。此外，本發明更可以源極程式化電流之大小來控制程式化的程度，而因電流之大小較易作穩定之控制，所以本發明也適用於多位準記憶胞(Multi-level Cell、MLC)的程式化，此點將於下文中詳述。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 實施方式

請參照第2圖，其係繪示本發明以寄生雙載子電晶體之彈回(snapback)特性程式化P通道EEPROM的情形。

如第 2 圖所示，此 P 通道 EEPROM 包含 N 井 100、浮置閘 110、控制閘 120、選擇閘 130、P 型源極區 140、P 型汲極區 150，以及與位元線耦接的 P 型摻雜區 160。此程式化操作係在控制閘 120 上施加例如為 5V~6V 的正電壓  $V_{cg}$ ，將 N 井接地(即 N 井的電壓  $V_b=0$ )，並在源極區 140 上施加正電壓或



程式化電流  $I_s$ ，此程式化電流  $I_s$  例如為  $50\mu\text{m}$ ，其依實際應用所定，例如可由數  $\text{nA}$  至數  $\mu\text{A}$ ，且其大小可視需要作調整，以在耗電量與程式化速度之間取得平衡。詳言之，增加  $I_s$  即可加快程式化的速度，但耗電量則會上升；反之，減少  $I_s$  雖可降低耗電量，但卻會降低程式化的速度。

施加在源極區 140 上的正電壓或程式化電流  $I_s$  所造成的順向偏壓足以開啓由源極區 140、汲極區 150 與 N 井 100 所構成之寄生雙載子電晶體，其中源極區 140 係作為射極 (emitter)、N 井作為基極 (base)，且汲極區 150 作為集極 (collector)。另外，位元線/P 型摻雜區 160 上係施加負電壓  $V_d$ ，其值例如為  $-3\text{V}\sim-5\text{V}$ 。選擇閘 130 上係施加負電壓  $V_{sg}$ ，其值例如為  $-4\text{V}\sim-6\text{V}$ ，以開啓選擇閘 130 下方的通道，而將 P 型摻雜區的負電壓傳到汲極區 150 上。此負電壓所造成的逆向偏壓足以導致源極區 140 與汲極區 150 間產生大量的電子流，其將被汲極區 150 接面之空乏區的高電場加速而成為熱電子，其中有一部分會被控制閘 120 上所施加的高正電壓吸引進入浮置閘 110 中。

另外，在上述條件下，程式化的時間例如可定為數十微秒 ( $\mu\text{s}$ )。以上各程式化條件係列示於下表 1 中，並以習知 BTBTHEI 程式化方法的條件作比較。

表 1

	$V_d$	源極( $V_s$ )	$V_{cg}$	$V_{sg}$	$V_b$	程式化時間	程式化速度決定因素
習知	$-6\text{V}\sim-7\text{V}$	浮置	$8\text{V}\sim 9\text{V}$	$-8\text{V}\sim-9\text{V}$	0	$\sim 10\mu\text{s}$	$V_d$
本發明	$-3\text{V}\sim-5\text{V}$	順向偏壓	$5\text{V}\sim 6\text{V}$	$-4\text{V}\sim-6\text{V}$	0	$\sim 10\mu\text{s}$	$I_s$

接著，第4圖繪示在不同的位元線電壓 $V_d$ 下以本發明之方法程式化P通道EEPROM時，記憶胞之啓始電壓隨程式化時間的變化，其中控制閘電壓 $V_{cg}$ 固定為7V，且所用之源極電流 $I_s$ 為 $50\mu A$ ，其依實際應用所定，例如可由數nA至數 $\mu A$ 。如第4圖所示，當 $V_d$ 為-3V時，其效果甚至超過習知方法中 $V_d=-5V$ 時的效果；而當 $V_d$ 為-5V時，其效果更可與習知方法中 $V_d=-7V$ 時的效果相比。由此可見，使用本發明之程式化方法時，的確可以採用較低的位元線電壓 $V_d$ 。

除此之外，當程式化時間固定時，增加(或減少)源極電流 $I_s$ 即可增加(或減少)注入浮置閘的熱電子量，亦即增加(或減少)通道之啓始電壓上升的幅度。由於源極電流 $I_s$ 比位元線電壓 $V_d$ 更容易作穩定之控制，所以當源極電流 $I_s$ 具有可調變的機制時，本發明之方法即可用來程式化多位準記憶胞(MLC)，以使其具有一特定位準之啓始電壓。

由於本發明係利用 EEPROM 之寄生雙載子電晶體的彈回特性，所以能產生大量的熱電子。因此，位元線、選擇閘與控制閘所需之電壓皆可降低，而得以減少耗電量。另外，由於位元線之電壓降低，故選擇閘下的通道長度得以縮減，而可增加讀取電流的大小，並有利於此種雙電晶體(2T)元件的縮小化。再者，由於本發明可以源極電流之大小來控制程式化的程度，而源極電流之大小較易作穩定控制，所以也適用於多位準記憶胞(Multi-level Cell、MLC)的程式化操作。

雖然本發明已以較佳實施例揭露如上，然其並非用以限

定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 圖式簡單說明

第1圖繪示以習知BTBTHEI方法程式化P通道EEPROM的情形。

第2圖繪示本發明以寄生雙載子電晶體之彈回(snapback)特性程式化P通道EEPROM的情形。

第3圖繪示在不同的位元線電壓 $V_d$ 下以習知BTBTHEI方法程式化P通道EEPROM時，記憶胞之啓始電壓隨程式化時間的變化，其中控制閘電壓 $V_{cg}$ 固定為7V。

第4圖繪示在不同的位元線電壓 $V_d$ 下以本發明之方法程式化P通道EEPROM時，記憶胞之啓始電壓隨程式化時間的變化，其中控制閘電壓 $V_{cg}$ 固定為7V。

### 圖式標示說明

100：N 井

110：浮置閘

120：控制閘

130：選擇閘

140：P 型源極區

150：P 型汲極區

160：P 型摻雜區

$V_{cg}$ 、 $V_{sg}$ 、 $V_d$ ：電壓代號

$I_s$ ：源極電流

## 拾、申請專利範圍：

1.一種 P 通道可電除可程式唯讀記憶體(EEPROM)的程式化方法，該 EEPROM 具有一 N 井、一浮置閘、一控制閘、一 P 型源極區、一 P 型汲極區，以及耦接於該汲極區與一位元線之間的一選擇電晶體，該方法包括：

使該 N 井接地；

於該控制閘上施加一第一正電壓；

於該源極區上施加一第二正電壓或一程式化電流；

於該位元線上施加一第一負電壓，並開啓該選擇電晶體以使該第一負電壓傳到該汲極區上；其中

由該第二正電壓或該程式化電流所造成之一順向偏壓足以開啓由該源極區、該汲極區與該 N 井所構成之一寄生雙載子電晶體，且該汲極區與該 N 井間的逆向偏壓足以導致該源極區與該汲極區間產生一電子流，以注入該浮置閘中。

2.如申請專利範圍第 1 項所述之 P 通道可電除可程式唯讀記憶體(EEPROM)的程式化方法，其中該第一正電壓為 5V~6V。

3.如申請專利範圍第 1 項所述之 P 通道可電除可程式唯讀記憶體(EEPROM)的程式化方法，其中該第一負電壓為-3V~-5V。

4.如申請專利範圍第 1 項所述之 P 通道可電除可程式唯讀記憶體(EEPROM)的程式化方法，其中該選擇電晶體之一閘極上施加有一第二負電壓，且該第二負電壓為-4V~-6V。

5.如申請專利範圍第 1 項所述之 P 通道可電除可程式唯讀

記憶體(EEPROM)的程式化方法，其中該 P 通道 EEPROM 係為一多位準記憶胞，且該程式化電流係為可調變者，以使該多位準記憶胞具有一特定位準之啓始電壓。

6.一種 P 通道可電除可程式唯讀記憶體(EEPROM)的程式化方法，該 EEPROM 具有一 N 井、一浮置閘、一控制閘、一 P 型源極區，以及一 P 型汲極區，該方法包括：

使該 N 井接地；

於該控制閘上施加一第一正電壓；

於該源極區上施加一第二正電壓或一程式化電流；

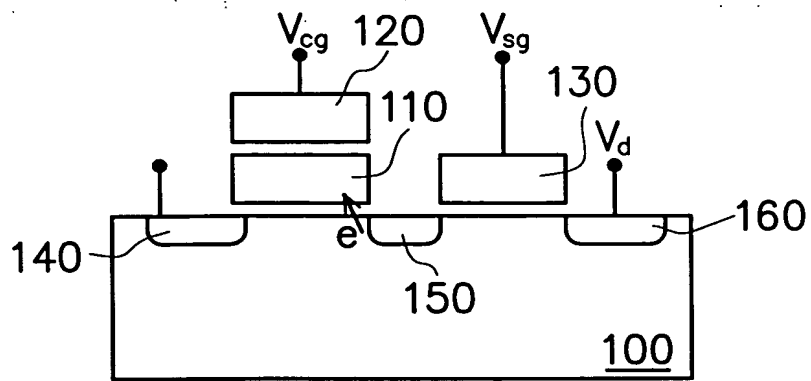
於該汲極區上施加一第一負電壓；其中

由該第二正電壓或該程式化電流所造成之一順向偏壓足以開啓由該源極區、該汲極區與該 N 井所構成之一寄生雙載子電晶體，且該汲極區與該 N 井間的逆向偏壓足以導致該源極區與該汲極區間產生一電子流，以注入該浮置閘中。

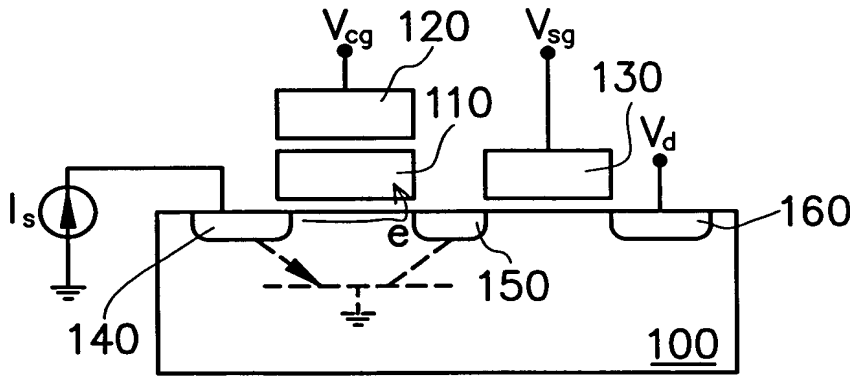
7.如申請利範圍第 6 項所述之 P 通道可電除可程式唯讀記憶體(EEPROM)的程式化方法，其中該第一正電壓為 5V~6V。

8.如申請利範圍第 6 項所述之 P 通道可電除可程式唯讀記憶體(EEPROM)的程式化方法，其中該第一負電壓為-3V~-5V。

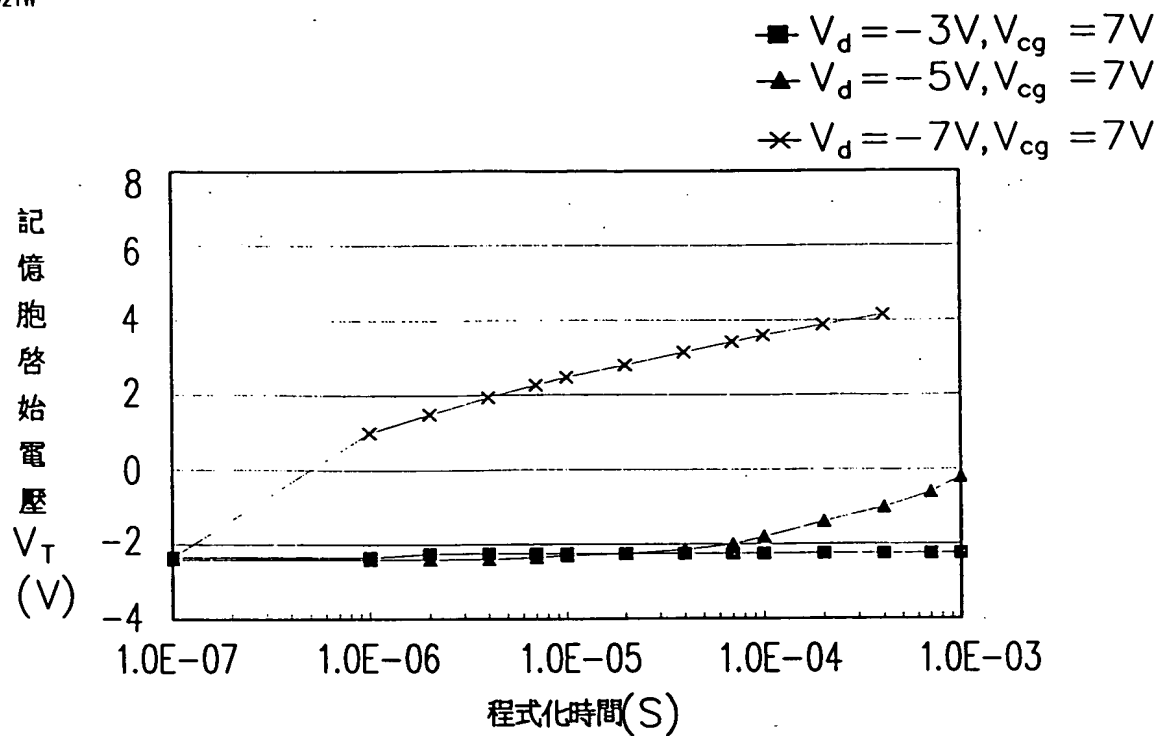
9.如申請利範圍第 6 項所述之 P 通道可電除可程式唯讀記憶體(EEPROM)的程式化方法，其中該 P 通道 EEPROM 係為一多位準記憶胞，且該程式化電流係為可調變者，以使該多位準記憶胞具有一特定位準之啓始電壓。



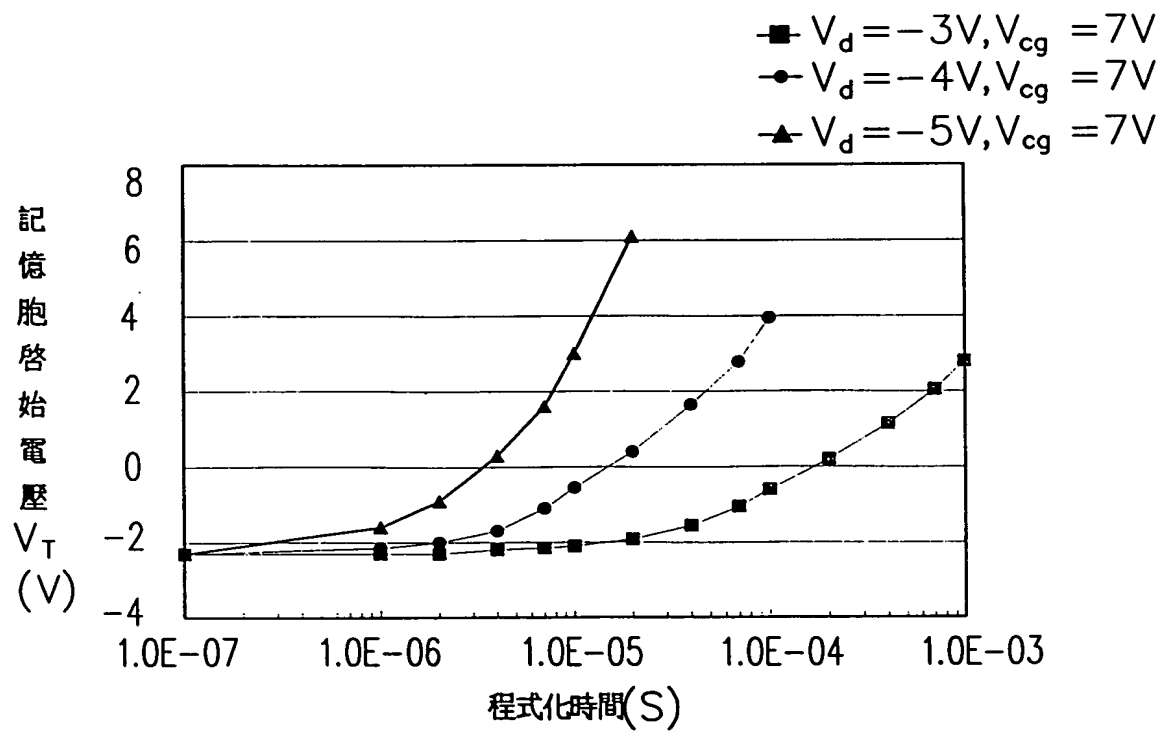
第 1 圖



第 2 圖



第 3 圖



第 4 圖